

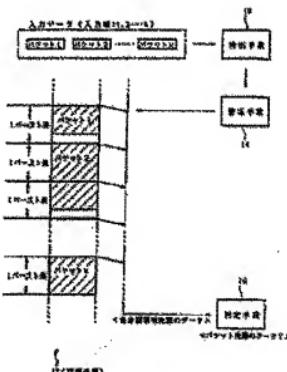
## PACKET/BURST CONVERSION DEVICE

Publication number: JP3101340  
 Publication date: 1991-04-26  
 Inventor: YOSHINO ISAO  
 Applicant: FUJITSU LTD  
 Classification:  
   - International: H04L12/56; H04L12/56; (IPC1-7): H04L12/56  
   - European:  
 Application number: JP19890238302 19890913  
 Priority number(s): JP19890238302 19890913

[Report a data error here](#)

### Abstract of JP3101340

PURPOSE: To miniaturize circuit constitution by judging whether data read from the leading part of dividing areas is the leading data of a packet or not. CONSTITUTION: A write means 14 allocates the dividing areas continuing by a number, for which the packets are stored, to the packets 1, 2,...,k, all of which are detected in a detection means 10. The write means 14 writes the detection packets from the head of the allocation areas. Then, packet data are read into a judgment means 16 from the leading parts of respective dividing areas and the judging means 16 judges whether the read data is the leading data of the packets or not. When the leading data of the dividing areas is not the leading data of the packets, it is recognized that the same packet is written into plural continuous division areas including the dividing area. Thus, the circuit is miniaturized.



Data supplied from the [esp@cenet](#) database - Worldwide

a)

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

## ⑫ 公開特許公報 (A) 平3-101340

⑬ Int. Cl. 5

H 04 L 12/56

識別記号 庁内整理番号

⑭ 公開 平成3年(1991)4月26日

7830-5K H 04 L 11/20 102 A

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 パケット／バースト変換装置

⑯ 特 願 平1-238302

⑰ 出 願 平1(1989)9月13日

⑱ 発 明 者 吉野勲 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 伊藤 優一郎

明細書  
1. 発明の名称  
パケット／バースト変換装置摘要  
産業上の利用分野  
從来の技術2. 特許請求の範囲  
入力データから可変長のパケットを逐次検出する検出手段(10)と、  
バースト長を単位として記憶領域が分割される記憶手段(12)と、発明が解決しようとする課題  
課題を解決するための手段  
作用  
実施例  
発明の効果

検出手段が納まる数だけ連続した分割領域を該パケットに割り当てて該パケットを割当領域の先頭から書き込む書き込手段(14)と、

【概要】  
可変長のパケットを所定長のバーストへ変換するパケット／バースト変換装置に關し、  
記憶の小規模化が可能となるパケット／バースト変換装置の提供を目的とし、

各分割領域の先頭部分からパケットデータを読み出して該データがパケット先頭のデータか否かを判定する判定手段(16)と、

入力データから可変長のパケットを逐次検出する検出手段と、バースト長を単位として記憶領域が分割される記憶手段と、検出手段が納まる数だけ連続した分割領域を該パケットに割り当てて該パケットを割当領域の先頭から書き込む書き込手段と、各分割領域の先頭部分からパケットデータ

を有する、ことを特徴とするパケット／バースト変換装置。

## 3. 発明の詳細な説明

【目次】

テを読み出して該データがパケット先頭のデータか否かを判定する判定手段と、を有することにより構成される。

## 【商業上の利用分野】

本発明は、可変長のパケットを一定長のバーストへ変換するパケットノバースト変換装置に関する。

T D M A 方式の商業通信において H D L C フレームのパケットが伝送される場合、可変長の各パケットが伝送単位のバーストへこの種の装置により変換される。

その際にはバースト長が最大のパケット長と同一に設定された場合、パケット長をバースト長から差し引いた分がほぼ全てのバーストで伝送損失となり、したがって、パケット伝送の効率低下を招く。

このため、バースト長は伝送効率を考慮して最大のパケット長より短く設定され、バースト長より長いパケットは連続した複数のバーストを用い

て伝送される。

## 【従来の技術】

第4図では従来例の構成が説明されており、同図のパケット検出回路10に地上側のデータが入力される。

パケット検出回路10では第5図のデータ構成とされたパケットが入力の地上側データから逐次検出され、各検出パケットは蓄積RAM12に順次書き込まれる。

この蓄積RAM12の記憶領域はロバイトのバースト長を単位として分割され、各検出パケットにはそのパケット長に応じた数だけ連続した分割領域（以下、バースト領域）D1・・・Dn・・・Dmが書き込まれとして割り当てられる。

すなわち、バースト長（nロバイト）より短い検出パケットには單一のバースト領域が、これより長い検出パケットにはそのパケット長が納まる数だけ連続した複数のバースト領域が、各々割り当てられる。

そして、これらの中ではアドレス欄に行われ、各検出パケットは割当領域の先頭から書き込まれる。

さらに、單一のバースト領域で形成される割当領域に書き込まれた短いパケットは単独バーストとしてランダムアサインで読み出され、複数の連続したバースト領域で形成される割当領域に書き込まれた長いパケットは連続バーストとして読み出され、衛星へ送信される。

このようにして蓄積RAM12へ書き込まれる検出パケットのアドレスは蓄積RAM書き込みアドレス発生回路14で得られており、その蓄積RAM書き込みアドレス発生回路14にはパケット検出回路10からパケット検出のタイミング信号が与えられる。

第6図では蓄積RAM書き込みアドレス発生回路14の作用が説明されており、バッファボーションがパケット終了の検出タイミングで次へ歩進される。

これによりパケット終了タイミングに対応した

バッファボーションとそれらバッファボーションの間隔を示すアドレスデータが得られ、検出パケットは蓄積RAM書き込みアドレス発生回路14のアドレスデータにしたがって蓄積RAM12へ前述のようにして書き込まれる。

また、パケット検出回路10から選出された検出パケットと蓄積RAM書き込みアドレス発生回路14から選出されたアドレスデータとは単連対応回路40-1・・・40-n・・・40-mに与えられている。

それらの単連対応回路40-1・・・40-n・・・40-mは各バースト領域D1（アドレスA1～An）・・・Dn（アドレスAn+1～A（n+1）n）・・・Dm（アドレスAm+1～A（m+1）n）に対して設けられており、単連対応回路40-1・・・40-n・・・40-mでは対応のバースト領域D1・・・Dn・・・Dmがバースト長より短いパケットの書き込まれた単独バーストのものか、あるいはバースト長より長いパケットが部分的に書き込まれた連続バーストのものか

が各自判定される。

これら車速判定回路 40-1 . . . 40-n . . . 40-m の判定結果は通知レジスタ 42 へ与えられ、CPU 16 に読み取られる。

CPU 16 では定期的ボーリングが行われ、そのボーリング周期中に蓄積 RAM 12 で蓄積された検出パケットの数が通知レジスタ 42 を介して与えられた車速判定回路 40-1 . . . 40-n . . . 40-m の判定結果から確認される。

そしてデータベースのアサンプト終了すると、蓄積 RAM 記憶アドレス発生回路 44 に対して動作指令が出力され、蓄積 RAM 読み出しアドレス発生回路 44 の出力アドレスで蓄積 RAM 12 から各パーストが読み出される。

すなわち、パースト長より短いパケットはランダムアサンプトで各パーストを用いて送出され、パースト長より長いパケットは複数のパーストに分割されて連続送出される。

#### 【発明が解決しようとする課題】

そして、検出手段 10 で検出されたパケット 1, 2 . . . または k にはこのパケットが約まる数だけ蓄積した分割領域が書き手段 14 により割り当てる。

また、その書き手段 14 により検出パケットが割り当領域の先頭から書き込まれる。

さらに、各分割領域の先頭部分からパケットデータが判定手段 16 に読み出され、判定手段 16 ではその読み出データがパケットの先頭データか否かが判定される。

#### 【作用】

本発明では、検出パケットが記憶手段 12 に一並書き込まれ、その後において、各分割領域（パースト領域）の先頭部分がパケット先頭のデータか否かが判定される。

したがって、分割領域先頭のデータがパケット先頭のデータでない場合には、この分割領域を含む連続した複数の分割領域に同一の検出パケットが書き込まれていることを確認できる。

しかしながら従来においては、各パースト領域が單独パーストのものか、あるいは連続パーストのものかを確認するための回路（40-1 . . . 40-n . . . 40-m）が必要となり、さらにはそれら回路の出力を通知するための回路（42）も必要となるので、蓄積量の増加に伴って蓄積 RAM 12 が容量化したり、パースト長が短く設定されると、複数の回路構成が大規模なものとなる。

本発明は上記従来の事態に鑑みてなされたものであり、その目的は、回路の小規模化が可能となる装置を提供することにある。

#### 【課題を解決するための手段】

上記目的を達成するためには、本発明に係る装置は第 1 図のように構成されている。

同図の検出手段 10 では入力データから可変長のパケット 1, 2 . . . k が逐次検出される。

また、記憶手段 12 の記憶領域はパースト長を単位として複数の記憶領域に分割される。

このため、それらの分割領域に格納されていたパケットデータを連続パーストとして送出することが可能となる。

また、それら以外の分割領域に格納されていたデータを単独パーストとしてランダムアサンプトで送出することが可能となる。

#### 【実施例】

以下、図面に基づいて本発明に係る装置の好適な実施例を説明する。

第 2 図では実施例の構成が説明されており、地上制データからパケット検出手段 10 で検出されたパケットは蓄積 RAM 12 に書き込まれる。

その書き込みは蓄積 RAM 書きアドレス発生回路 14 で得られたアドレスを用いて行われており、蓄積 RAM 12 から読み出されたパーストはパッファ 20 を介して両端に送信される。

このパースト読み出しは蓄積 RAM 読出アドレス発生回路 44 で得られたアドレスデータに従って行われており、蓄積 RAM 読出アドレス発生回

路44から送出されたアドレスデータはセレクタ22を介して基板RAM12へ与えられる。

またセレクタ22にはデータ読み出しアドレスのデータがCPU16から与えられており、基板RAM読出アドレス発生回路44とCPU16のアドレスデータはCPU16の指示に従ってセレクタ22で選択される。

そのセレクタ22でCPU送出のアドレスデータが選択されると、バースト領域D1...Dn...Dmから先頭の2バイト分が順に読み出される。

このときに読み出された各2バイト分のデータはバッファ24を介してCPU16に読み込まれる。

CPU16では基板RAM12から読み込まれた各2バイトデータでバースト領域D1...Dn...Dmに先頭から読み出バケットが書き込まれているか否かが判断される。

すなわち、読み出バケットはバースト領域先頭（すなわちポーション先頭）から書き込まれ、バケ

ット先頭に位置するデータFlag(第5回参照)の値が7Eとなり、これ以外のデータではビットデータで確1が5回までしか連続することなく確7E以外となるので、先頭の1バイト目が確7Eで2バイト目が確7E以外の場合には、そのバースト領域の先頭から読み出バケットが書き込まれていることを確認できる。

また、先頭の1バイト目が確7E以外である場合では、それより前のバースト領域から連続して読み出バケットが書き込まれていることを確認できる。

このため、ランダムアサインで送出すべき単独バーストか、あるいは連続バーストか、をCPU16側で判別することが可能となる。

なお、以上の処理はバースト送出の空き時間を利用して行われており、この処理で得られたデータはCPU16から基板RAM読出アドレス発生回路44に与えられ、これによりバーストの読み出が行われる。

以上説明したように本実施例によれば、ランダ

ムアサインで送出すべき単独バーストがある場合は連続バーストかがソフトウェアで判定されるので、その判定のための回路や判定結果を通知する回路が不要となる。

したがって、複数の回路構成を小規模化することが可能となる。

このことは、通信量の増大で基板RAM12が大量化した場合やバースト長が短く設定された場合に極めて有効であり、その場合には、従来に比して基板の回路構成を大幅に小規模化することが可能となる。

#### 【発明の効果】

以上説明したように本発明によれば、バースト長で分割された領域が各読み出バケットについてバケット英だけ連続して割り当てられてこの割当領域にその読み出バケットが先頭を合わせて供給され、分割領域の先頭部分から読み出されたデータがバケット先頭のデータか否かが判定されるので、その判定結果から各分割領域のバケットデータがラ

ンダムアサインで送出すべき単独バーストがある場合は連続バーストかを判断できる。

したがって、各分割領域について同様の判定を行う回路やそれらの判定結果を通知する回路が不要となり、このため、複数の回路構成を小規模化することが可能となる。

このことは、通信量の増大でパケットを記憶すべき容量が増大した場合やバースト長が長いものに設定された場合において極めて顕著であり、それらの場合には、回路規模の大幅な縮小が可能となる。

#### 4. 回路の簡単な説明

第1図は発明の原理説明図。

第2図は実施例の構成説明図。

第3図は基板RAMのデータ構成説明図。

第4図は從来例の構成説明図。

第5図はパケットのデータ構成説明図。

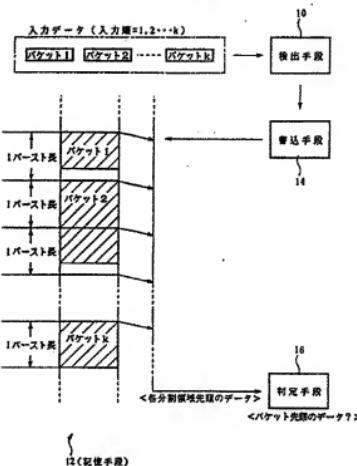
第6図は基板RAM書き込みアドレス発生作用説明図。

アラスカ

10 . . . バケット検出回路  
 12 . . . 認識RAM  
 14 . . . 認識RAM音送アドレス発生回路  
 16 . . . CPU  
 20 . . . バッファ  
 22 . . . セレクタ  
 24 . . . バッファ  
 44 . . . 認識RAM検出アドレス発生回路

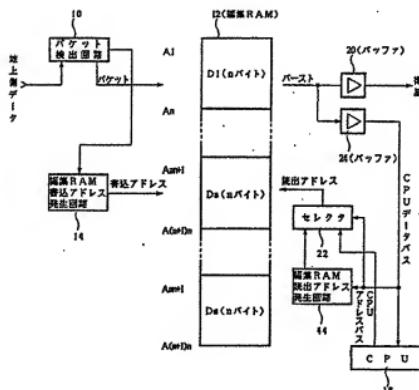
代理人管理

伊庵集一

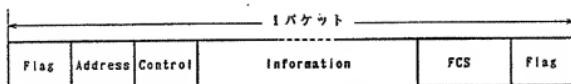
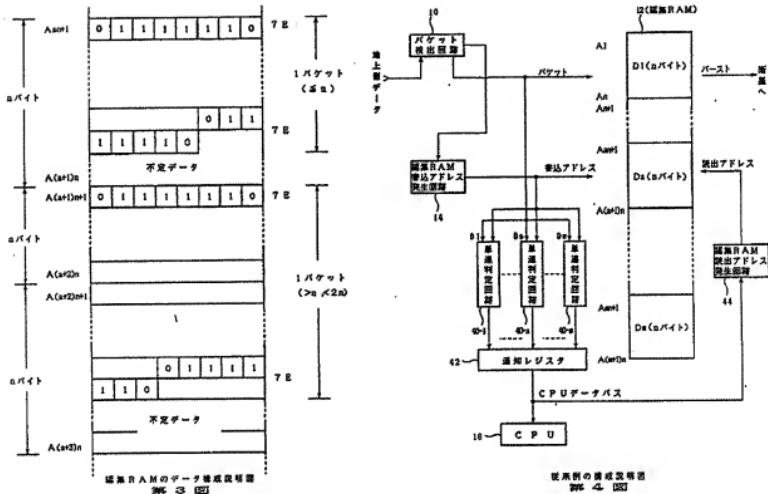


五國の通商政策

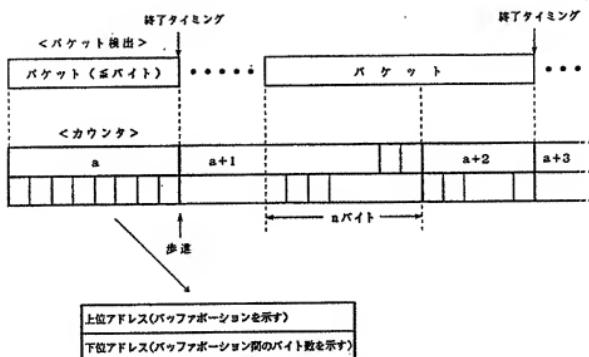
明の地理說明書



## 実施例の構成及現地 概要図



パケットのデータ構成説明図  
第5回



複数 RAM 書込アドレスの発生作用説明図  
305 6 23

